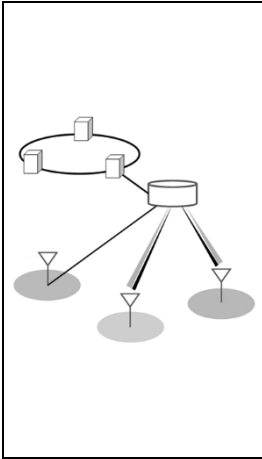


ナノフォトニクス技術による 光電融合アクセラレータへの研究展開

NTT ナノフォトニクスセンタ NTT 物性科学基礎研究所
新家昭彦, 納富雅也



1. はじめに

ムーアの法則の終焉がささやかかれて久しいが、トランジスタの集積度は依然堅調な伸びを示している。一方でプロセッサの性能に着目すると、情報処理を並列化するなどの工夫により高スループット性の進展は辛うじて維持されてはいるが、プロセッサの周波数応答はすでに頭打ち状態にあり、低遅延性の追求はすでに限界にきているのが現状である。そのため現状のプロセッサでは、入力されたデータに対し即座に反応しなければならないような事案への対応が困難となっており、超低遅延で反応できる演算プロセッサの実現のためには、新たな技術革新の出現が望まれている。

本稿では、NTT で培われたナノフォトニクス技術をプロセッサの中に導入し、時間的に情報を高密度に処理しリアルタイムでの情報処理を得意とする光と、空間的に情報を高密度に詰め込み記憶・処理することが得意な電子の特徴を融合した、光電融合型の新しい情報処理形態について解説する。

2. CMOS プロセッサの問題点

現在のプロセッサの進展は、CMOS トランジスタなどのエレクトロニクス技術に支えられているが、電子の動きを応用した素子、およびそれを利用した通信技術を利用しているため、電気的な特性、特に、抵抗 (R) やキャパシタンス (C) に大きく依存している。例えば CMOS トランジスタは、そのゲート長が短いほどスイッチング遅延が小さくなると考えられているが、トランジスタを組み合わせると論理ゲートなどの回路を構成した場合、回路内の配線抵抗や配線容量なども考慮した応答速度を考慮する必要がある。このような回路の性能測定基準は、IRDS ロードマップに FO3 wireloaded stage delay として示されており、最小の相互接続ワイヤ負荷での CMOS 遅延は将来の 1nm プロセスでも 10ps 以下にはならないことが示されている(図 1)。これは主に回路内の R と C の存在によるもので、これが起因となる RC 遅延は、回路規模が大きくなるほど対策を困難なものとする。また配線の長距離化とクロック周波数の向上により配線の持つ C への充放電エネルギーが大きくなり、これが消費電力を支配するようになる。さらに配線の持つ R は信号の電気エネルギーを熱に変換し、情報処理として使うことなく無駄にプロセッサ外部に放出し、さらに発生した熱からプロセッサを守る必要があることから、情報処理に使われない冷却のためのエネルギーが無駄に消費されることになる。

このような問題は、エレクトロニクスの根幹を担う素子が、電子の動きを応用していることに起因する。そこで近年着目されているのがフォトニクス技術である。光を情報伝達のための担体とすれば、光は回路の信号経路内の R や C の影響を受けないため、光インターコネクト技術は、チップ間やチップ

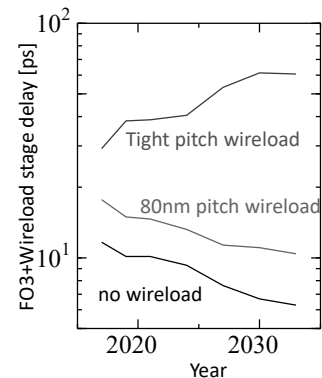


図1 回路中のトランジスタの遅延